

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-326353
(P2001-326353A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 29/78	6 5 5	H 0 1 L 29/78	6 5 5 C 4 M 1 0 4
	6 5 2		6 5 5 D
21/28	3 0 1	21/28	6 5 2 J
			3 0 1 M

審査請求 未請求 請求項の数10 O L (全 18 頁)

(21) 出願番号 特願2000-141914(P2000-141914)

(22) 出願日 平成12年5月15日 (2000. 5. 15)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 田中 雅浩

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

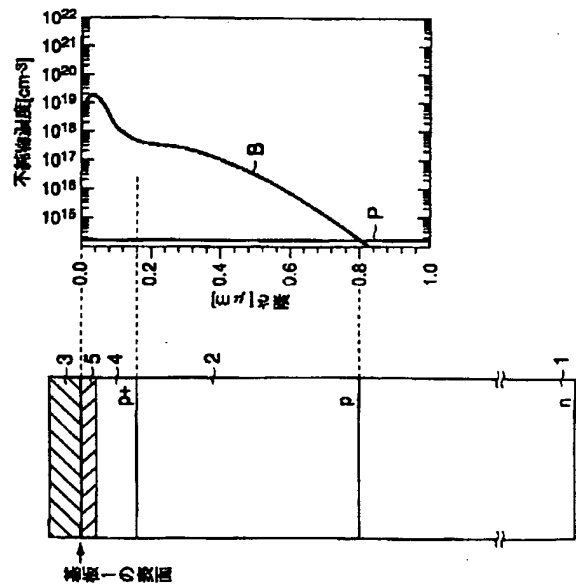
Fターム(参考) 4M104 B802 B803 CC01 DD26 DD37
DD43 DD78 DD84 FF31 GG20
HH15

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 コンタクト抵抗の低減とキャリア注入効率の低減を図る。

【解決手段】 n型半導体基板1内には、p型不純物層2が形成される。p型不純物層2の不純物濃度は、低く、かつ、その深さは、1.0 μm 以下と十分に浅いため、キャリア注入効率が低減される。p型不純物層2内には、コンタクト抵抗を下げるための高濃度のp型コンタクト層4が形成される。p型コンタクト層4の深さは、0.2 μm 以下と十分に浅いため、キャリア注入効率に影響を与えることがない。また、p型コンタクト層4と電極3の間には、p型コンタクト層の濃度プロファイルのピーク位置まで達するシリサイド層5が形成される。このシリサイド層5により、さらなるコンタクト抵抗の低下を実現する。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、前記半導体基板の一面側に形成され、前記半導体基板の表面から1.0 μ m以下の厚さを有する第2導電型の不純物層と、前記不純物層内に形成され、前記半導体基板の表面から0.2 μ m以下の厚さを有し、前記不純物層の厚さよりも薄く、前記不純物層の不純物濃度よりも濃い第2導電型のコンタクト層と、前記コンタクト層上に形成される第1電極とを具備することを特徴とする半導体装置。

【請求項2】 第1導電型の半導体基板と、前記半導体基板の一面側に形成される第2導電型の不純物層と、前記不純物層内に形成され、前記不純物層の厚さよりも薄く、前記不純物層の不純物濃度よりも濃い第2導電型のコンタクト層と、前記コンタクト層上に形成される第1電極と、前記第1電極と前記コンタクト層の間に形成されるシリサイド層とを具備し、前記シリサイド層の前記コンタクト層側の面は、前記コンタクト層の濃度プロファイルのピーク位置に実質的に一致していることを特徴とする半導体装置。

【請求項3】 前記不純物層は、前記不純物層から前記半導体基板へキャリアを注入することを目的に設けられ、前記コンタクト層は、前記第1電極と前記不純物層のコンタクト抵抗を下げることを目的に設けられ、前記キャリアの注入に寄与しないことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 請求項1又は2記載の半導体装置において、前記半導体基板の他面側に形成される第2電極を具備し、前記第1電極と前記第2電極の間に電流が流れることを特徴とする半導体装置。

【請求項5】 前記半導体装置は、IGBTであることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記不純物層は、前記半導体基板の表面から1.0 μ m以下の厚さを有することを特徴とする請求項2記載の半導体装置。

【請求項7】 前記コンタクト層は、前記半導体基板の表面から0.2 μ m以下の厚さを有することを特徴とする請求項2記載の半導体装置。

【請求項8】 前記シリサイド層は、前記半導体基板の表面から0.2 μ m以下の厚さを有し、前記コンタクト層の厚さよりも薄いことを特徴とする請求項7記載の半導体装置。

【請求項9】 前記不純物層は、前記半導体基板の一面側の全体に形成されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項10】 前記不純物層は、前記半導体基板の一面側の一部分に形成されていることを特徴とする請求項1又は2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、電極コンタクト部に使用される。

【0002】

【従来の技術】従来、半導体装置の電極コンタクト部は、半導体層内に形成される不純物層とこの不純物層にコンタクトする電極（例えば、アルミニウムなどの金属）とから構成される。ここで、不純物層は、低コストなどの目的からイオン注入により形成されることが多い。

【0003】ところで、電極コンタクト部においては、電極と不純物層のコンタクト抵抗を下げるのが重要となる。コンタクト抵抗を下げるためには、一般には、不純物層の不純物濃度を高くすればよい。

【0004】しかし、イオン注入により不純物層を形成する場合、不純物層の濃度プロファイルは、ピークを持った曲線となる。そして、このピークは、半導体層の内部に位置し、半導体層の表面濃度は、ピーク濃度よりも低い値になる。特に、縦型パワーデバイス、例えば、IGBTにおいては、半導体層の一面側にMOS構造を形成した後に、半導体層の他面側に不純物層が形成される場合がある。このとき、半導体層の他面側の不純物層に関しては、高温、長時間のアニールを行うことができず、結果として、不純物層のピーク濃度と表面濃度の差が大きくなり、十分に、コンタクト抵抗を下げるできない。

【0005】また、例えば、図13に示すようなIGBTにおいては、電極コンタクト部におけるコンタクト抵抗を下げると共に、ターンオフを高速に行うためにターンオフ時に不純物層（P+型エミッタ層）2からn型ベース層1へのキャリア注入を速やかに阻止することが必要である。

【0006】しかし、電極コンタクト部（不純物層2とアノード電極3のコンタクト部）のコンタクト抵抗を下げるためには、不純物層2の不純物濃度を上げなければならない。一方、ターンオフを高速にするためには、不純物層2の不純物濃度を下げ、かつ、不純物層2の深さを浅くし、不純物層2からn型ベース層1へのキャリア注入効率を低下させなければならない。

【0007】つまり、電極コンタクト部の不純物層2の不純物濃度に関しては、コンタクト抵抗の低減とターンオフの高速化（キャリア注入効率の低減）は、トレードオフの関係にあるため、両目的を同時に達成することができない。

【0008】

【発明が解決しようとする課題】本発明は、上記欠点を解決するためになされたもので、その目的は、第一に、イオン注入により不純物層を形成する場合であっても、コンタクト抵抗を十分に下げることができる電極コンタクト部を提供すること、第二に、IGBTにおいては、

コンタクト抵抗の低減とキャリア注入効率の低減を同時に達成できる電極コンタクト部を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、第1導電型の半導体基板と、前記半導体基板の一面側に形成され、前記半導体基板の表面から $1.0\mu\text{m}$ 以下の厚さを有する第2導電型の不純物層と、前記不純物層内に形成され、前記半導体基板の表面から $0.2\mu\text{m}$ 以下の厚さを有し、前記不純物層の厚さよりも薄く、前記不純物層の不純物濃度よりも濃い第2導電型のコンタクト層と、前記コンタクト層上に形成される第1電極とを備える。

【0010】本発明の半導体装置は、第1導電型の半導体基板と、前記半導体基板の一面側に形成される第2導電型の不純物層と、前記不純物層内に形成され、前記不純物層の厚さよりも薄く、前記不純物層の不純物濃度よりも濃い第2導電型のコンタクト層と、前記コンタクト層上に形成される第1電極と、前記第1電極と前記コンタクト層の間に形成されるシリサイド層とを備え、前記シリサイド層の前記コンタクト層側の面は、前記コンタクト層の濃度プロファイルのピーク位置に実質的に一致している。

【0011】前記不純物層は、前記不純物層から前記半導体基板へキャリアを注入することを目的に設けられ、前記コンタクト層は、前記第1電極と前記不純物層のコンタクト抵抗を下げることを目的に設けられ、前記キャリアの注入に寄与しない。

【0012】本発明の半導体装置は、さらに、前記半導体基板の他面側に形成される第2電極を備え、前記第1電極と前記第2電極の間に電流が流れるデバイスを対象とする。例えば、本発明の半導体装置は、IGBTに適用される。

【0013】前記不純物層は、前記半導体基板の表面から $1.0\mu\text{m}$ 以下の厚さを有する。また、前記コンタクト層は、前記半導体基板の表面から $0.2\mu\text{m}$ 以下の厚さを有する。前記シリサイド層は、前記半導体基板の表面から $0.2\mu\text{m}$ 以下の厚さを有し、前記コンタクト層の厚さよりも薄い。

【0014】前記不純物層は、前記半導体基板の一面側の全体に形成されていても、又は、前記半導体基板の一面側の一部分に形成されていてもよい。

【0015】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体装置について詳細に説明する。

【0016】[A] 第1実施の形態

図1は、本発明の第1実施の形態に関わる半導体装置の電極コンタクト部を示している。

【0017】n型半導体基板1内には、p型不純物層2が形成される。n型半導体基板1は、n型不純物、例えば、リン(P)を含み、その濃度プロファイルは、 1.0

14 cm^{-3} 程度で、かつ、概ね一定となっている。p型不純物層2は、半導体基板1の表面領域に形成され、p型不純物、例えば、ボロン(B)を含んでいる。p型不純物層2の深さは、半導体基板1の表面から $1.0\mu\text{m}$ 以下、例えば、 $0.8\mu\text{m}$ 程度に設定される。また、p型不純物層2の濃度プロファイルのピーク値は、 $10^{17}\sim 10^{18}\text{ cm}^{-3}$ の範囲に設定される。

【0018】p型不純物層2内には、 p^+ 型コンタクト層4が形成され、 p^+ 型コンタクト層4上には、電極3が形成される。 p^+ 型コンタクト層4は、p型不純物層2と電極3の間に配置され、p型不純物層2よりも高い不純物濃度を有する。例えば、 p^+ 型コンタクト層4は、ボロン(B)、弗化ボロン(BF_2)などのp型不純物を含み、その濃度プロファイルのピーク値は、 10^{19} cm^{-3} 以上、その表面濃度は、 10^{18} cm^{-3} 以上に設定される。また、 p^+ 型コンタクト層4の深さは、半導体基板1の表面から $0.2\mu\text{m}$ 以下、例えば、 $0.16\mu\text{m}$ 程度に設定される。電極3は、例えば、アルミニウムから構成される。

【0019】このような電極コンタクト構造によれば、まず、p型不純物層2は、低い不純物濃度を有し、かつ、その深さは、半導体基板1の表面から $1.0\mu\text{m}$ 以下と十分に浅く設定されている。このため、例えば、この電極コンタクト構造をIGBTのコレクタ電極(アノード電極)に適用した場合には、ターンオフ時におけるキャリア(正孔)の注入効率を低減することができ、ターンオフを高速化することができる。

【0020】また、p型不純物層2と電極3の間には、p型不純物層2よりも高い不純物濃度を有する p^+ 型コンタクト層4が配置される。この p^+ 型コンタクト層4の深さは、半導体基板1の表面から $0.2\mu\text{m}$ 以下に設定されているため、この p^+ 型コンタクト層4が、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、 p^+ 型コンタクト層4によって、キャリア注入効率が増大することはない。

【0021】また、 p^+ 型コンタクト層4は、十分に高い不純物濃度を有しているため、電極コンタクト部のコンタクト抵抗も低減される。

【0022】このように、本発明に関わる電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時に達成することができる。

【0023】なお、上述の実施の形態では、半導体基板1がn型であり、不純物層2及びコンタクト層4がp型であったが、これに代えて、半導体基板1をp型にし、不純物層2及びコンタクト層4をn型にしても、同様の効果が得られる。

【0024】次に、図1に示す電極コンタクト部の製造方法について説明する。

【0025】まず、例えば、 $1.5\times 10^{14}\text{ cm}^{-2}$

程度の不純物濃度を有するn型半導体基板（例えば、シリコン基板）1を用意する。イオン注入法により、半導体基板1内に、p型不純物、例えば、ボロン（B）を注入する。このときのイオン注入条件は、例えば、加速電圧60keV程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約1050℃の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の表面からの深さが約0.8μmのp型不純物層（例えば、p型エミッタ層）2が形成される。

【0026】次に、イオン注入法により、半導体基板1内のp型不純物層2内に、p型不純物、例えば、ボロン（B）を注入する。このときのイオン注入条件は、例えば、加速電圧10keV程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約800℃の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の表面からの深さが約0.16μmのp+型コンタクト層4が形成される。

【0027】p+型コンタクト層4は、その深さが非常に浅く、かつ、その不純物濃度が非常に高く設定されている。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低いp+型コンタクト層4を提供できる。

【0028】但し、例えば、p型不純物を、ボロン（B）から弗化ボロン（ BF_2 ）に代えて（軽い元素から重い元素に変更する。）、この弗化ボロンを半導体基板1内のp型不純物層2に注入し、p+型コンタクト層4を形成してもよい。

【0029】次に、例えば、弗化アンチモンを用いて、半導体基板1の表面部、即ち、p+型コンタクト層4の表面部に形成された熱酸化膜を除去する。この後、スパッタ法やCVD法などの方法を用いて、p+型コンタクト層4上に、アルミニウムなどの金属から構成される電極3を形成する。

【0030】この後、例えば、温度約450℃の窒素雰囲気中において、時間約30分の熱処理を行い、電極3を構成する原子（例えば、アルミニウム）を、半導体基板1内、即ち、p+型コンタクト層4内に拡散させ、電極3とp+型コンタクト層4のコンタクト抵抗を低減させる。

【0031】以上の製造方法により、本発明に関わる電極コンタクト部が完成する。

【0032】本発明の電極コンタクト構造では、キャリア注入効率は、p型不純物層2の深さ及び不純物濃度により概ね決定される。本例では、p型不純物層2の濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範囲であり、かつ、その深さは、半導体基板1の表面から1.0μm以下と十分に浅く設定されている。このため、例えば、この電極コンタクト構造をIGBT

のコレクタ電極に適用した場合には、ターンオフ時におけるキャリア注入効率を低減することができ、ターンオフを高速化することができる。

【0033】また、p型不純物層2と電極3の間には、p型不純物層2よりも高い不純物濃度を有するp+型コンタクト層4が配置される。このp+型コンタクト層4の深さは、半導体基板1の表面から0.2μm以下に設定されているため、このp+型コンタクト層4が、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、p+型コンタクト層4によって、キャリア注入効率が增大することはない。また、p+型コンタクト層4の濃度プロファイルのピーク値は、 10^{19} cm^{-3} 程度に設定されているため、電極コンタクト部のコンタクト抵抗も低減される。

【0034】[B] 第2実施の形態

上述の第1実施の形態に関わる電極コンタクト部では、p型不純物層2を、十分に浅く（1.0μm以下）、かつ、低濃度（ $10^{17} \sim 10^{18} \text{ cm}^{-3}$ ）にし、さらに、p型不純物層2と電極3との間に、十分に濃い（ 10^{19} cm^{-3} 程度）p+型コンタクト層4を配置し、コンタクト抵抗の低減とキャリア注入効率の低減を達成した。

【0035】しかし、イオン注入によりp+型コンタクト層4を形成する場合には、その表面濃度は、濃度プロファイルのピーク値よりも低くなる。これでは、電極コンタクト部におけるコンタクト抵抗を、十分に下げることができない。

【0036】そこで、本実施の形態では、電極3とp+型コンタクト層4との間にシリサイド層5を形成する。

【0037】なお、本発明は、シリサイド層5を設ける点に特徴を有するのではなく、シリサイド層5の半導体基板1の表面からの深さ、具体的には、シリサイド層5の半導体基板1の表面からの深さとp+型コンタクト層4の濃度プロファイルのピーク値との関係に特徴を有する。

【0038】以下、具体的に、本発明の第2実施の形態に関わる半導体装置の電極コンタクト部について説明する。

【0039】図2は、本発明の第2実施の形態に関わる半導体装置の電極コンタクト部を示している。

【0040】n型半導体基板1内には、p型不純物層2が形成される。n型半導体基板1は、n型不純物、例えば、リン（P）を含み、その濃度プロファイルは、 10^{14} cm^{-3} 程度で、かつ、概ね一定となっている。p型不純物層2は、半導体基板1の表面領域に形成され、p型不純物、例えば、ボロン（B）を含んでいる。p型不純物層2の深さは、半導体基板1の表面から1.0μm以下、例えば、0.8μm程度に設定される。また、p型不純物層2の濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範囲に設定される。

【0041】p型不純物層2内には、p+型コンタクト層4が形成され、p+型コンタクト層4上には、電極3が形成される。p+型コンタクト層4は、p型不純物層2と電極3の間に配置され、p型不純物層2よりも高い不純物濃度を有する。例えば、p+型コンタクト層4は、ボロン(B)、弗化ボロン(BF₂)などのp型不純物を含み、その濃度プロファイルのピーク値は、 10^{19} cm^{-3} 以上、その表面濃度は、 10^{18} cm^{-3} 以上に設定される。また、p+型コンタクト層4の深さは、半導体基板1の表面から0.2 μm 以下、例えば、0.16 μm 程度に設定される。電極3は、例えば、アルミニウムから構成される。

【0042】さらに、本例では、電極3とp+型コンタクト層4の間にシリサイド層5が形成される。シリサイド層5は、例えば、熱処理により、電極3を構成する原子(例えば、アルミニウム)が半導体基板1を構成する原子(シリコン)と反応することにより形成される。

【0043】シリサイド層5の半導体基板1表面からの深さは、p+型コンタクト層4の半導体基板1表面からの深さと同じか、又はそれよりも浅くなるように設定される。本例では、p+型コンタクト層4の深さが半導体基板1の表面から0.2 μm 以下に設定されるため、シリサイド層5の深さも、半導体基板1の表面から0.2 μm 以下に設定される。

【0044】ところで、コンタクト抵抗を最大限に低減するためには、シリサイド層5の底面の位置が、p+型コンタクト層4の濃度プロファイルのピーク位置に一致するように設定する。つまり、本発明では、p+型コンタクト層4の最も低抵抗な部分(濃度プロファイルのピーク位置)と電極3をシリサイド層5により電氣的に接続し、コンタクト抵抗の低減を図る。

【0045】このような電極コンタクト構造によれば、まず、p型不純物層2は、低い不純物濃度を有し、かつ、その深さは、半導体基板1の表面から1.0 μm 以下と十分に浅く設定されている。このため、例えば、この電極コンタクト構造をIGBTのコレクタ電極(アノード電極)に適用した場合には、ターンオフ時におけるキャリア(正孔)の注入効率を低減することができ、ターンオフを高速化することができる。

【0046】また、p型不純物層2と電極3の間には、p型不純物層2よりも高い不純物濃度を有するp+型コンタクト層4が配置される。このp+型コンタクト層4の深さは、半導体基板1の表面から0.2 μm 以下に設定されているため、このp+型コンタクト層4が、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、p+型コンタクト層4によって、キャリア注入効率が増大することはない。

【0047】また、p+型コンタクト層4は、十分に高い不純物濃度を有し、かつ、電極3とp+型コンタクト層4の間には、シリサイド層5が形成される。また、シ

リサイド層5の底面の位置は、p+型コンタクト層4の濃度プロファイルのピーク位置に一致するように設定される。このため、電極コンタクト部のコンタクト抵抗も低減される。

【0048】なお、図12は、p+型コンタクト層4の濃度プロファイルのピーク位置が半導体基板1の表面から0.04 μm である場合のシリサイド層5の厚さ(半導体基板1の表面からの深さ)とコレクターエミッタ間の飽和電圧 $V_{ce(sat)}$ との関係を示している。

【0049】同図によれば、シリサイド層5の底面の位置(厚さ)が、p+型コンタクト層4の濃度プロファイルのピーク位置に一致する場合、即ち、0.04 μm である場合に、コレクターエミッタ間の飽和電圧 $V_{ce(sat)}$ が最も小さくなることが分かる。これは、シリサイド層5の底面の位置(厚さ)が、p+型コンタクト層4の濃度プロファイルのピーク位置に一致するときに、コンタクト抵抗が最も低くなることを意味している。

【0050】このように、本発明に関わる電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時に達成することができる。

【0051】なお、上述の実施の形態では、半導体基板1がn型であり、不純物層2及びコンタクト層4がp型であったが、これに代えて、半導体基板1をp型にし、不純物層2及びコンタクト層4をn型にしても、同様の効果が得られる。

【0052】次に、図2に示す電極コンタクト部の製造方法について説明する。

【0053】まず、例えば、 $1.5 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物濃度を有するn型半導体基板(例えば、シリコン基板)1を用意する。イオン注入法により、半導体基板1内に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧60 keV程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約1050℃の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の表面からの深さが約0.8 μm のp型不純物層(例えば、p型エミッタ層)2が形成される。

【0054】次に、イオン注入法により、半導体基板1内のp型不純物層2内に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧10 keV程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約800℃の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の表面からの深さが約0.16 μm のp+型コンタクト層4が形成される。

【0055】p+型コンタクト層4は、その深さが非常に浅く、かつ、その不純物濃度が非常に高く設定されて

いる。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低い p^+ 型コンタクト層4を提供できる。

【0056】但し、例えば、 p 型不純物を、ボロン(B)から弗化ボロン(BF_2)に代えて(軽い元素から重い元素に変更する。)、この弗化ボロンを半導体基板1内の p 型不純物層2に注入し、 p^+ 型コンタクト層4を形成してもよい。

【0057】次に、例えば、弗化アンチモンを用いて、半導体基板1の表面部、即ち、 p^+ 型コンタクト層4の表面部に形成された熱酸化膜を除去する。この後、スパッタ法やCVD法などの方法を用いて、 p^+ 型コンタクト層4上に、アルミニウムなどの金属から構成され、厚さが約 $0.05\mu m$ の電極3を形成する。

【0058】この後、例えば、温度約 $450^\circ C$ の窒素雰囲気中において、時間約30分の熱処理を行い、電極3を構成する原子(例えば、アルミニウム)を、半導体基板(シリコン基板)1内、即ち、 p^+ 型コンタクト層4内に拡散させ、シリサイド層5を形成する。ここで、シリサイド層5の厚さ(半導体基板1の表面からの深さ)は、半導体基板1の表面から p^+ 型コンタクト層4の濃度プロファイルのピーク位置までの厚さに実質的に等しくする。

【0059】例えば、 p^+ 型コンタクト層4の濃度プロファイルのピークが半導体基板1の表面から約 $0.04\mu m$ の位置にある場合には、シリサイド層5の厚さも約 $0.04\mu m$ にする。

【0060】これにより、電極コンタクト部における電極3と p 型不純物層2のコンタクト抵抗を低減させる。

【0061】以上の製造方法により、本発明に関わる電極コンタクト部が完成する。

【0062】本発明の電極コンタクト構造では、キャリア注入効率は、 p 型不純物層2の深さ及び不純物濃度により概ね決定される。本例では、 p 型不純物層2の濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} cm^{-3}$ の範囲であり、かつ、その深さは、半導体基板1の表面から $1.0\mu m$ 以下と十分に浅く設定されている。このため、例えば、この電極コンタクト構造をIGBTのコレクタ電極に適用した場合には、ターンオフ時におけるキャリア注入効率を低減することができ、ターンオフを高速化することができる。

【0063】また、 p 型不純物層2と電極3の間には、 p 型不純物層2よりも高い不純物濃度を有する p^+ 型コンタクト層4が配置される。この p^+ 型コンタクト層4の深さは、半導体基板1の表面から $0.2\mu m$ 以下に設定されているため、この p^+ 型コンタクト層4が、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、 p^+ 型コンタクト層4によって、キャリア注入効率が増大することはない。また、 p^+ 型コン

タクト層4の濃度プロファイルのピーク値は、 $10^{19} cm^{-3}$ 程度に設定されているため、電極コンタクト部のコンタクト抵抗も低減される。

【0064】さらに、 p^+ 型コンタクト層4は、十分に高い不純物濃度を有し、かつ、電極3と p^+ 型コンタクト層4の間には、シリサイド層5が形成される。また、シリサイド層5の底面の位置は、 p^+ 型コンタクト層4の濃度プロファイルのピーク位置に一致するように設定される。このため、電極コンタクト部のコンタクト抵抗がさらに低減される。

【0065】

【実施例】次に、上述の第1及び第2実施の形態に関わる半導体装置の具体例、即ち、実施例について説明する。以下の実施例では、本発明の電極コンタクト部をIGBTに適用した場合について説明する。

【0066】まず、IGBTについて簡単に説明する。

【0067】図3は、IGBTの一般的なデバイス構造を示している。 n 型半導体基板(シリコン基板)1は、 n 型ベース層となる。半導体基板1の一面側には、 p 型ベース層7が形成され、 p 型ベース層7内には、 n^+ 型エミッタ層8が形成される。

【0068】半導体基板1の一面側の表面領域において、 n 型ベース層1と n^+ 型エミッタ層8の間の p 型ベース層(チャネル部)7上には、絶縁層9を介してゲート電極10が形成される。また、 p 型ベース層7上及び n^+ 型エミッタ層8上には、これら p 型ベース層7及び n^+ 型エミッタ層8にコンタクトするエミッタ電極11が形成される。

【0069】半導体基板1の他面側には、 p^+ 型エミッタ層2が形成される。この p^+ 型エミッタ層2は、本発明の対象となる電極コンタクト部を構成する p 型不純物層となる。 p^+ 型エミッタ層2上には、 p^+ 型エミッタ層2にコンタクトするコレクタ電極3が形成される。

【0070】上述したように、IGBTにおいては、 p^+ 型エミッタ層2とコレクタ電極3のコンタクト抵抗を低減すると共に、 p^+ 型エミッタ層2から n 型ベース層1へのキャリア(正孔)の注入効率を低減してターンオフを高速化することが重要な課題となっている。

【0071】本発明の電極コンタクト構造をIGBTに適用すれば、コンタクト抵抗の低減とキャリア注入効率の低減を同時に達成することができる。

【0072】[A] 第1実施例

図4は、本発明の第1実施例としてのIGBTを示している。この実施例は、上述の第1実施の形態に関わる電極コンタクト構造に対応している。

【0073】 n 型半導体基板(n 型ベース層)1の一面側には、 p 型ベース層7が形成され、 p 型ベース層7内には、 n^+ 型エミッタ層8が形成される。半導体基板1の一面側の表面領域において、 n 型ベース層1と n^+ 型エミッタ層8の間の p 型ベース層(チャネル部)7上に

は、絶縁層9を介してゲート電極10が形成される。また、p型ベース層7上及びn⁺型エミッタ層8上には、これらp型ベース層7及びn⁺型エミッタ層8にコンタクトするエミッタ電極11が形成される。

【0074】半導体基板1の他面側には、p⁺型エミッタ層2が形成される。p⁺型エミッタ層2は、p型不純物、例えば、ボロン(B)を含んでいる。p⁺型エミッタ層2の深さは、半導体基板1の他面側の表面から1.0 μ m以下、例えば、0.8 μ m程度に設定される。また、p⁺型エミッタ層2の濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範囲に設定される。

【0075】p⁺型エミッタ層2内には、p⁺型コンタクト層4が形成され、p⁺型コンタクト層4上には、コレクタ電極3が形成される。p⁺型コンタクト層4は、p⁺型エミッタ層2とコレクタ電極3の間に配置され、p⁺型エミッタ層2よりも高い不純物濃度を有する。

【0076】例えば、p⁺型コンタクト層4は、ボロン(B)、弗化ボロン(BF₂)などのp型不純物を含み、その濃度プロファイルのピーク値は、 10^{19} cm^{-3} 以上、その表面濃度は、 10^{18} cm^{-3} 以上に設定される。また、p⁺型コンタクト層4の深さは、半導体基板1の他面側の表面から0.2 μ m以下、例えば、0.16 μ m程度に設定される。また、コレクタ電極3は、例えば、アルミニウムから構成される。

【0077】このような電極コンタクト構造によれば、まず、p⁺型エミッタ層2は、低い不純物濃度を有し、かつ、その深さは、半導体基板1の他面側の表面から1.0 μ m以下と十分に浅く設定されている。このため、IGBTのターンオフ時におけるキャリア(正孔)の注入効率を低減することができ、ターンオフを高速化することができる。

【0078】また、p⁺型エミッタ層2とコレクタ電極3の間には、p⁺型エミッタ層2よりも高い不純物濃度を有するp⁺型コンタクト層4が配置される。このp⁺型コンタクト層4の深さは、半導体基板1の他面側の表面から0.2 μ m以下に設定されているため、このp⁺型コンタクト層4が、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、p⁺型コンタクト層4によって、キャリア注入効率が増大することはない。

【0079】また、p⁺型コンタクト層4は、十分に高い不純物濃度を有しているため、電極コンタクト部のコンタクト抵抗も低減される。

【0080】このように、本発明に関わるIGBTの電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時に達成することができる。

【0081】なお、上述の実施例では、半導体基板1がn型であり、エミッタ層2及びコンタクト層4がp型で

あったが、これに代えて、半導体基板1をp型にし、エミッタ層2及びコンタクト層4をn型にしても、同様の効果が得られる。

【0082】次に、図4に示すIGBTの製造方法について説明する。

【0083】まず、例えば、 $1.5 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物濃度を有するn型半導体基板(例えば、シリコン基板)1を用意する。そして、半導体基板1の一面側に、p型ベース層7、n⁺型エミッタ層8、絶縁層9、ゲート電極10及びエミッタ電極11をそれぞれ形成する。

【0084】この後、イオン注入法により、半導体基板1の他面側に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧60keV程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約1050℃の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0.8 μ mのp⁺型エミッタ層2が形成される。

【0085】次に、イオン注入法により、半導体基板1の他面側のp⁺型エミッタ層2内に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧10keV程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約800℃の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0.16 μ mのp⁺型コンタクト層4が形成される。

【0086】p⁺型コンタクト層4は、その深さが非常に浅く、かつ、その不純物濃度が非常に高く設定されている。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低いp⁺型コンタクト層4を提供できる。

【0087】但し、例えば、p型不純物を、ボロン(B)から弗化ボロン(BF₂)に代えて(軽い元素から重い元素に変更する。)、この弗化ボロンを半導体基板1内のp⁺型エミッタ層2に注入し、p⁺型コンタクト層4を形成してもよい。

【0088】次に、例えば、弗化アンチモンを用いて、半導体基板1の他面側の表面部、即ち、p⁺型コンタクト層4の表面部に形成された熱酸化膜を除去する。この後、スパッタ法やCVD法などの方法を用いて、p⁺型コンタクト層4上に、アルミニウムなどの金属から構成される電極3を形成する。

【0089】この後、例えば、温度約450℃の窒素雰囲気中において、時間約30分の熱処理を行い、コレクタ電極3を構成する原子(例えば、アルミニウム)を、半導体基板1内、即ち、p⁺型コンタクト層4内に拡散させ、コレクタ電極3とp⁺型コンタクト層4のコ

ンタクト抵抗を低減させる。

【0090】以上の製造方法により、本発明に関わるIGBTが完成する。

【0091】[B] 第2実施例

図5は、本発明の第2実施例としてのIGBTを示している。この実施例は、上述の第2実施の形態に関わる電極コンタクト構造に対応している。

【0092】n型半導体基板（n型ベース層）1の一面側には、p型ベース層7が形成され、p型ベース層7内には、n+型エミッタ層8が形成される。半導体基板1の一面側の表面領域において、n型ベース層1とn+型エミッタ層8の間のp型ベース層（チャネル部）7上には、絶縁層9を介してゲート電極10が形成される。また、p型ベース層7上及びn+型エミッタ層8上には、これらp型ベース層7及びn+型エミッタ層8にコンタクトするエミッタ電極11が形成される。

【0093】半導体基板1の他面側には、p+型エミッタ層2が形成される。p+型エミッタ層2は、p型不純物、例えば、ボロン（B）を含んでいる。p+型エミッタ層2の深さは、半導体基板1の他面側の表面から1.0 μ m以下、例えば、0.8 μ m程度に設定される。また、p+型エミッタ層2の濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範囲に設定される。

【0094】p+型エミッタ層2内には、p++型コンタクト層4が形成され、p++型コンタクト層4上には、コレクタ電極3が形成される。p++型コンタクト層4は、p+型エミッタ層2とコレクタ電極3の間に配置され、p+型エミッタ層2よりも高い不純物濃度を有する。

【0095】例えば、p++型コンタクト層4は、ボロン（B）、弗化ボロン（ BF_2 ）などのp型不純物を含み、その濃度プロファイルのピーク値は、 10^{19} cm^{-3} 以上、その表面濃度は、 10^{18} cm^{-3} 以上に設定される。また、p++型コンタクト層4の深さは、半導体基板1の他面側の表面から0.2 μ m以下、例えば、0.16 μ m程度に設定される。また、コレクタ電極3は、例えば、アルミニウムから構成される。

【0096】さらに、本例では、コレクタ電極3とp++型コンタクト層4の間にシリサイド層5が形成される。シリサイド層5は、例えば、熱処理により、コレクタ電極3を構成する原子（例えば、アルミニウム）が半導体基板1を構成する原子（シリコン）と反応することにより形成される。

【0097】シリサイド層5の半導体基板1の他面側の表面からの深さは、p++型コンタクト層4の半導体基板1の他面側の表面からの深さと同じか、又はそれよりも浅くなるように設定される。本例では、p++型コンタクト層4の深さが半導体基板1の他面側の表面から0.2 μ m以下に設定されるため、シリサイド層5の深さも、半導体基板1の他面側の表面から0.2 μ m以下

に設定される。

【0098】ところで、コンタクト抵抗を最大限に低減するためには、シリサイド層5の底面の位置が、p++型コンタクト層4の濃度プロファイルのピーク位置に一致するように設定する。つまり、本発明では、p++型コンタクト層4の最も低抵抗な部分（濃度プロファイルのピーク位置）とコレクタ電極3をシリサイド層5により電氣的に接続し、コンタクト抵抗の低減を図る。

【0099】このような電極コンタクト構造によれば、まず、p+型エミッタ層2は、低い不純物濃度を有し、かつ、その深さは、半導体基板1の他面側の表面から1.0 μ m以下と十分に浅く設定されている。このため、IGBTのターンオフ時におけるキャリア（正孔）の注入効率を低減することができ、ターンオフを高速化することができる。

【0100】また、p+型エミッタ層2とコレクタ電極3の間には、p+型エミッタ層2よりも高い不純物濃度を有するp++型コンタクト層4が配置される。このp++型コンタクト層4の深さは、半導体基板1の他面側の表面から0.2 μ m以下に設定されているため、このp++型コンタクト層4が、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、p++型コンタクト層4によって、キャリア注入効率が増大することはない。

【0101】また、p++型コンタクト層4は、十分に高い不純物濃度を有し、かつ、コレクタ電極3とp++型コンタクト層4の間には、シリサイド層5が形成される。また、シリサイド層5の底面の位置は、p++型コンタクト層4の濃度プロファイルのピーク位置に一致するように設定される。このため、電極コンタクト部のコンタクト抵抗も低減される。

【0102】このように、本発明に関わるIGBTの電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時に達成することができる。

【0103】なお、上述の実施例では、半導体基板1がn型であり、エミッタ層2及びコンタクト層4がp型であったが、これに代えて、半導体基板1をp型にし、エミッタ層2及びコンタクト層4をn型にしても、同様の効果が得られる。

【0104】次に、図5に示すIGBTの製造方法について説明する。

【0105】まず、例えば、 $1.5 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物濃度を有するn型半導体基板（例えば、シリコン基板）1を用意する。そして、半導体基板1の一面側に、p型ベース層7、n+型エミッタ層8、絶縁層9、ゲート電極10及びエミッタ電極11をそれぞれ形成する。

【0106】この後、イオン注入法により、半導体基板1の他面側に、p型不純物、例えば、ボロン（B）を注

入する。このときのイオン注入条件は、例えば、加速電圧60keV程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約1050℃の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0.8 μm のp⁺型エミッタ層2が形成される。

【0107】次に、イオン注入法により、半導体基板1の他面側のp⁺型エミッタ層2内に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧10keV程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約800℃の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0.16 μm のp⁺⁺型コンタクト層4が形成される。

【0108】p⁺⁺型コンタクト層4は、その深さが非常に浅く、かつ、その不純物濃度が非常に高く設定されている。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低いp⁺⁺型コンタクト層4を提供できる。

【0109】但し、例えば、p型不純物を、ボロン(B)から弗化ボロン(BF₂)に代えて(軽い元素から重い元素に変更する。)、この弗化ボロンを半導体基板1内のp⁺型エミッタ層2に注入し、p⁺型コンタクト層4を形成してもよい。

【0110】次に、例えば、弗化アンチモンを用いて、半導体基板1の他面側の表面部、即ち、p⁺⁺型コンタクト層4の表面部に形成された熱酸化膜を除去する。この後、スパッタ法やCVD法などの方法を用いて、p⁺⁺型コンタクト層4上に、アルミニウムなどの金属から構成される約0.05 μm の電極3を形成する。

【0111】この後、例えば、温度約450℃の窒素雰囲気中において、時間約30分の熱処理を行い、コレクタ電極3を構成する原子(例えば、アルミニウム)を、半導体基板1内、即ち、p⁺⁺型コンタクト層4内に拡散させ、シリサイド層5を形成する。ここで、シリサイド層5の厚さ(半導体基板1の他面側の表面からの深さ)は、半導体基板1の他面側の表面からp⁺⁺型コンタクト層4の濃度プロファイルのピーク位置までの厚さに実質的に等しくする。

【0112】例えば、p⁺⁺型コンタクト層4の濃度プロファイルのピークが半導体基板1の表面から約0.04 μm の位置にある場合には、シリサイド層5の厚さも約0.04 μm にする。

【0113】これにより、電極コンタクト部におけるコレクタ電極3とp⁺型エミッタ層2のコンタクト抵抗を低減させる。

【0114】なお、シリサイド層5を形成した後に、さらに、コレクタ電極3を積み重ねてもよい。

【0115】以上の製造方法により、本発明に関わるIGBTが完成する。

【0116】[C] 第3実施例

本例は、図6に示すような互いに分離された複数のp⁺型エミッタ層2Aを有するIGBTに、上述の第1実施例の形態に関わる電極コンタクト構造を適用したものである。

【0117】図7は、本発明の第3実施例としてのIGBTを示している。n型半導体基板(n型ベース層)1の一面側には、p型ベース層7が形成され、p型ベース層7内には、n⁺型エミッタ層8が形成される。半導体基板1の一面側の表面領域において、n型ベース層1とn⁺型エミッタ層8の間のp型ベース層(チャネル部)7上には、絶縁層9を介してゲート電極10が形成される。また、p型ベース層7上及びn⁺型エミッタ層8上には、これらp型ベース層7及びn⁺型エミッタ層8にコンタクトするエミッタ電極11が形成される。

【0118】半導体基板1の他面側には、互いに分離された複数のp⁺型エミッタ層2Aが形成される。p⁺型エミッタ層2Aは、p型不純物、例えば、ボロン(B)を含んでいる。p⁺型エミッタ層2Aの深さは、半導体基板1の他面側の表面から1.0 μm 以下、例えば、0.8 μm 程度に設定される。また、p⁺型エミッタ層2Aの濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範囲に設定される。

【0119】p⁺型エミッタ層2A内には、p⁺⁺型コンタクト層4Aが形成され、p⁺⁺型コンタクト層4A上には、コレクタ電極3が形成される。また、半導体基板1の他面側に露出するn型ベース層(半導体基板)1上には、絶縁層6が形成される。従って、コレクタ電極3は、複数のp⁺型エミッタ層2Aに電気的に接続されるが、n型ベース層1には電気的に接続されない。

【0120】なお、p⁺⁺型コンタクト層4Aは、p⁺型エミッタ層2Aとコレクタ電極3の間に配置され、p⁺型エミッタ層2Aよりも高い不純物濃度を有する。

【0121】例えば、p⁺⁺型コンタクト層4Aは、ボロン(B)、弗化ボロン(BF₂)などのp型不純物を含み、その濃度プロファイルのピーク値は、 10^{19} cm^{-3} 以上、その表面濃度は、 10^{18} cm^{-3} 以上に設定される。また、p⁺⁺型コンタクト層4Aの深さは、半導体基板1の他面側の表面から0.2 μm 以下、例えば、0.16 μm 程度に設定される。また、コレクタ電極3は、例えば、アルミニウムから構成される。

【0122】このような電極コンタクト構造によれば、まず、複数のp⁺型エミッタ層2Aは、低い不純物濃度を有し、かつ、その深さは、半導体基板1の他面側の表面から1.0 μm 以下と十分に浅く設定されている。このため、IGBTのターンオフ時におけるキャリア(正孔)の注入効率を低減することができ、ターンオフを高速化することができる。

【0123】なお、キャリアの注入効率は、 p^+ 型エミッタ層2Aの深さや、コンタクト比 $W1/W2$ により制御することができる。

【0124】また、 p^+ 型エミッタ層2Aとコレクタ電極3の間には、 p^+ 型エミッタ層2Aよりも高い不純物濃度を有する p^{++} 型コンタクト層4Aが配置される。この p^{++} 型コンタクト層4Aの深さは、半導体基板1の他面側の表面から $0.2\mu m$ 以下に設定されているため、この p^{++} 型コンタクト層4Aが、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、 p^{++} 型コンタクト層4Aによって、キャリア注入効率が增大することはない。

【0125】また、 p^{++} 型コンタクト層4Aは、十分に高い不純物濃度を有しているため、電極コンタクト部のコンタクト抵抗も低減される。

【0126】このように、本発明に関わるIGBTの電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時に達成することができる。

【0127】なお、上述の実施例では、半導体基板1が n 型であり、エミッタ層2A及びコンタクト層4Aが p 型であったが、これに代えて、半導体基板1を p 型にし、エミッタ層2A及びコンタクト層4Aを n 型にしても、同様の効果が得られる。

【0128】次に、図7に示すIGBTの製造方法について説明する。

【0129】まず、例えば、 $1.5 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物濃度を有する n 型半導体基板（例えば、シリコン基板）1を用意する。そして、半導体基板1の一面側に、 p 型ベース層7、 n^+ 型エミッタ層8、絶縁層9、ゲート電極10及びエミッタ電極11をそれぞれ形成する。

【0130】この後、イオン注入法により、半導体基板1の他面側に、 p 型不純物、例えば、ボロン（B）を注入する。このときのイオン注入条件は、例えば、加速電圧 60 keV 程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約 1050°C の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約 $0.8\mu m$ の複数の p^+ 型エミッタ層2Aが形成される。

【0131】次に、イオン注入法により、半導体基板1の他面側の p^+ 型エミッタ層2A内に、 p 型不純物、例えば、ボロン（B）を注入する。このときのイオン注入条件は、例えば、加速電圧 10 keV 程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約 800°C の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約 $0.16\mu m$ の p^{++} 型コンタクト層4Aが形成される。

【0132】 p^{++} 型コンタクト層4Aは、その深さが

非常に浅く、かつ、その不純物濃度が非常に高く設定されている。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低い p^{++} 型コンタクト層4Aを提供できる。

【0133】但し、例えば、 p 型不純物を、ボロン（B）から弗化ボロン（ BF_2 ）に代えて（軽い元素から重い元素に変更する。）、この弗化ボロンを半導体基板1内の p^+ 型エミッタ層2に注入し、 p^{++} 型コンタクト層4Aを形成してもよい。

【0134】次に、例えば、弗化アンチモンを用いて、半導体基板1の他面側の表面部、即ち、 p^{++} 型コンタクト層4Aの表面部に形成された熱酸化膜を除去する。この後、例えば、CVD法を用いて、半導体基板1の他面側に絶縁層6を形成する。また、PEP及びRIEなどの方法を用いて、絶縁層6をパターニングし、絶縁層6に、 p^{++} 型コンタクト層4Aに達するコンタクトホールを形成する。この後、スパッタ法やCVD法などの方法を用いて、複数の p^{++} 型コンタクト層4Aにコンタクトするコレクタ電極3を形成する。

【0135】この後、例えば、温度約 450°C の窒素雰囲気中において、時間約30分の熱処理を行い、コレクタ電極3を構成する原子（例えば、アルミニウム）を、半導体基板1内、即ち、 p^{++} 型コンタクト層4A内に拡散させ、コレクタ電極3と p^{++} 型コンタクト層4Aのコンタクト抵抗を低減させる。

【0136】以上の製造方法により、本発明に関わるIGBTが完成する。

【0137】[D] 第4実施例

本例は、図6に示すような互いに分離された複数の p^+ 型エミッタ層2Aを有するIGBTに、上述の第2実施の形態に関わる電極コンタクト構造を適用したものである。

【0138】図8は、本発明の第4実施例としてのIGBTを示している。 n 型半導体基板（ n 型ベース層）1の一面側には、 p 型ベース層7が形成され、 p 型ベース層7内には、 n^+ 型エミッタ層8が形成される。半導体基板1の一面側の表面領域において、 n 型ベース層1と n^+ 型エミッタ層8の間の p 型ベース層（チャネル部）7上には、絶縁層9を介してゲート電極10が形成される。また、 p 型ベース層7上及び n^+ 型エミッタ層8上には、これら p 型ベース層7及び n^+ 型エミッタ層8にコンタクトするエミッタ電極11が形成される。

【0139】半導体基板1の他面側には、複数の p^+ 型エミッタ層2Aが形成される。 p^+ 型エミッタ層2Aは、 p 型不純物、例えば、ボロン（B）を含んでいる。 p^+ 型エミッタ層2Aの深さは、半導体基板1の他面側の表面から $1.0\mu m$ 以下、例えば、 $0.8\mu m$ 程度に設定される。また、 p^+ 型エミッタ層2Aの濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範

図に設定される。

【0140】 p^+ 型エミッタ層2A内には、 p^{++} 型コンタクト層4Aが形成され、 p^{++} 型コンタクト層4A上には、コレクタ電極3が形成される。また、半導体基板1の他面側に露出するn型ベース層（半導体基板）1上には、絶縁層6が形成される。従って、コレクタ電極3は、複数の p^+ 型エミッタ層2Aに電氣的に接続されるが、n型ベース層1には電氣的に接続されない。

【0141】なお、 p^{++} 型コンタクト層4Aは、 p^+ 型エミッタ層2Aとコレクタ電極3の間に配置され、 p^+ 型エミッタ層2Aよりも高い不純物濃度を有する。

【0142】例えば、 p^{++} 型コンタクト層4Aは、ボロン(B)、弗化ボロン(BF_2)などのp型不純物を含み、その濃度プロファイルのピーク値は、 10^{19} cm^{-3} 以上、その表面濃度は、 10^{18} cm^{-3} 以上に設定される。また、 p^{++} 型コンタクト層4Aの深さは、半導体基板1の他面側の表面から $0.2 \mu\text{m}$ 以下、例えば、 $0.16 \mu\text{m}$ 程度に設定される。また、コレクタ電極3は、例えば、アルミニウムから構成される。

【0143】さらに、本例では、コレクタ電極3と p^{++} 型コンタクト層4Aの間にシリサイド層5が形成される。シリサイド層5は、例えば、熱処理により、コレクタ電極3を構成する原子（例えば、アルミニウム）が半導体基板1を構成する原子（シリコン）と反応することにより形成される。

【0144】シリサイド層5の半導体基板1の他面側の表面からの深さは、 p^{++} 型コンタクト層4Aの半導体基板1の他面側の表面からの深さと同じか、又はそれよりも浅くなるように設定される。本例では、 p^{++} 型コンタクト層4Aの深さが半導体基板1の他面側の表面から $0.2 \mu\text{m}$ 以下に設定されるため、シリサイド層5の深さも、半導体基板1の他面側の表面から $0.2 \mu\text{m}$ 以下に設定される。

【0145】ところで、コンタクト抵抗を最大限に低減するためには、シリサイド層5の底面の位置が、 p^{++} 型コンタクト層4Aの濃度プロファイルのピーク位置に一致するように設定する。つまり、本発明では、 p^{++} 型コンタクト層4Aの最も低抵抗な部分（濃度プロファイルのピーク位置）とコレクタ電極3をシリサイド層5により電氣的に接続し、コンタクト抵抗の低減を図る。

【0146】このような電極コンタクト構造によれば、まず、 p^+ 型エミッタ層2Aは、低い不純物濃度を有し、かつ、その深さは、半導体基板1の他面側の表面から $1.0 \mu\text{m}$ 以下と十分に浅く設定されている。このため、IGBTのターンオフ時におけるキャリア（正孔）の注入効率を低減することができ、ターンオフを高速化することができる。

【0147】なお、キャリアの注入効率は、 p^+ 型エミッタ層2Aの深さや、コンタクト比 $W1/W2$ により制御することができる。

【0148】また、 p^+ 型エミッタ層2Aとコレクタ電極3の間には、 p^+ 型エミッタ層2Aよりも高い不純物濃度を有する p^{++} 型コンタクト層4Aが配置される。この p^{++} 型コンタクト層4Aの深さは、半導体基板1の他面側の表面から $0.2 \mu\text{m}$ 以下に設定されているため、この p^{++} 型コンタクト層4Aが、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、 p^{++} 型コンタクト層4Aによって、キャリア注入効率が增大することはない。

【0149】また、 p^{++} 型コンタクト層4Aは、十分に高い不純物濃度を有し、かつ、コレクタ電極3と p^{++} 型コンタクト層4Aの間には、シリサイド層5が形成される。また、シリサイド層5の底面の位置は、 p^{++} 型コンタクト層4Aの濃度プロファイルのピーク位置に一致するように設定される。このため、電極コンタクト部のコンタクト抵抗も低減される。

【0150】このように、本発明に関わるIGBTの電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時に達成することができる。

【0151】なお、上述の実施例では、半導体基板1がn型であり、エミッタ層2A及びコンタクト層4Aがp型であったが、これに代えて、半導体基板1をp型にし、エミッタ層2A及びコンタクト層4Aをn型にしても、同様の効果が得られる。

【0152】次に、図8に示すIGBTの製造方法について説明する。

【0153】まず、例えば、 $1.5 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物濃度を有するn型半導体基板（例えば、シリコン基板）1を用意する。そして、半導体基板1の一面側に、p型ベース層7、 n^+ 型エミッタ層8、絶縁層9、ゲート電極10及びエミッタ電極11をそれぞれ形成する。

【0154】この後、イオン注入法により、半導体基板1の他面側に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧 60 keV 程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約 1050°C の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約 $0.8 \mu\text{m}$ の複数の p^+ 型エミッタ層2Aが形成される。

【0155】次に、イオン注入法により、半導体基板1の他面側の p^+ 型エミッタ層2A内に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧 10 keV 程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約 800°C の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約 $0.16 \mu\text{m}$ の p^{++} 型コンタクト層4Aが形成される。

【0156】 p^{++} 型コンタクト層4Aは、その深さが非常に浅く、かつ、その不純物濃度が非常に高く設定されている。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低い p^{++} 型コンタクト層4Aを提供できる。

【0157】但し、例えば、 p 型不純物を、ボロン(B)から弗化ボロン(BF_2)に代えて(軽い元素から重い元素に変更する。)、この弗化ボロンを半導体基板1内の p^{+} 型エミッタ層2Aに注入し、 p^{++} 型コンタクト層4Aを形成してもよい。

【0158】次に、例えば、弗化アンチモンを用いて、半導体基板1の他面側の表面部、即ち、 p^{++} 型コンタクト層4Aの表面部に形成された熱酸化膜を除去する。この後、例えば、CVD法を用いて、半導体基板1の他面側に絶縁層6を形成する。また、PEP及びRIEなどの方法を用いて、絶縁層6をパターニングし、絶縁層6に、 p^{++} 型コンタクト層4Aに達するコンタクトホールを形成する。この後、スパッタ法やCVD法などの方法を用いて、 p^{++} 型コンタクト層4上に約 $0.05\mu m$ の電極3を形成する。

【0159】この後、例えば、温度約 $450^{\circ}C$ の窒素雰囲気中において、時間約30分の熱処理を行い、コレクタ電極3を構成する原子(例えば、アルミニウム)を、半導体基板1内、即ち、 p^{++} 型コンタクト層4内に拡散させ、シリサイド層5を形成する。ここで、シリサイド層5の厚さ(半導体基板1の他面側の表面からの深さ)は、半導体基板1の他面側の表面から p^{++} 型コンタクト層4の濃度プロファイルのピーク位置までの厚さに実質的に等しくする。

【0160】例えば、 p^{++} 型コンタクト層4Aの濃度プロファイルのピークが半導体基板1の表面から約 $0.04\mu m$ の位置にある場合には、シリサイド層5の厚さも約 $0.04\mu m$ にする。

【0161】これにより、電極コンタクト部におけるコレクタ電極3と p^{+} 型エミッタ層2Aのコンタクト抵抗を低減させる。

【0162】なお、シリサイド層5を形成した後に、さらに、コレクタ電極3を積み重ねてもよい。

【0163】以上の製造方法により、本発明に関わるIGBTが完成する。

【0164】[E] 第5実施例

本例は、図9に示すような、いわゆるコレクタショート型(又はアノードショート型)IGBTに、上述の第1実施の形態に関わる電極コンタクト構造を適用したものである。

【0165】図10は、本発明の第5実施例としてのIGBTを示している。 n 型半導体基板(n 型ベース層)1の一面側には、 p 型ベース層7が形成され、 p 型ベース層7内には、 n^{+} 型エミッタ層8が形成される。半導

体基板1の一面側の表面領域において、 n 型ベース層1と n^{+} 型エミッタ層8の間の p 型ベース層(チャネル部)7上には、絶縁層9を介してゲート電極10が形成される。また、 p 型ベース層7上及び n^{+} 型エミッタ層8上には、これら p 型ベース層7及び n^{+} 型エミッタ層8にコンタクトするエミッタ電極11が形成される。

【0166】半導体基板1の他面側には、複数の p^{+} 型エミッタ層2B及び複数の n^{+} 型ベース層12が形成される。 p^{+} 型エミッタ層2Bは、 p 型不純物、例えば、ボロン(B)を含んでいる。 p^{+} 型エミッタ層2Bの深さは、半導体基板1の他面側の表面から $1.0\mu m$ 以下、例えば、 $0.8\mu m$ 程度に設定される。また、 p^{+} 型エミッタ層2Bの濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} cm^{-3}$ の範囲に設定される。

【0167】 p^{+} 型エミッタ層2B内には、 p^{++} 型コンタクト層4Bが形成され、 p^{++} 型コンタクト層4B上には、コレクタ電極3が形成される。また、 p^{++} 型コンタクト層4Bは、 p^{+} 型エミッタ層2Bとコレクタ電極3の間に配置され、 p^{+} 型エミッタ層2Bよりも高い不純物濃度を有する。

【0168】例えば、 p^{++} 型コンタクト層4Bは、ボロン(B)、弗化ボロン(BF_2)などの p 型不純物を含み、その濃度プロファイルのピーク値は、 $10^{19} cm^{-3}$ 以上、その表面濃度は、 $10^{18} cm^{-3}$ 以上に設定される。また、 p^{++} 型コンタクト層4Bの深さは、半導体基板1の他面側の表面から $0.2\mu m$ 以下、例えば、 $0.16\mu m$ 程度に設定される。また、コレクタ電極3は、例えば、アルミニウムから構成される。

【0169】このような電極コンタクト構造によれば、まず、複数の p^{+} 型エミッタ層2Bは、低い不純物濃度を有し、かつ、その深さは、半導体基板1の他面側の表面から $1.0\mu m$ 以下と十分に浅く設定されている。このため、IGBTのターンオフ時におけるキャリア(正孔)の注入効率を低減することができ、ターンオフを高速化することができる。

【0170】また、 p^{+} 型エミッタ層2Bとコレクタ電極3の間には、 p^{+} 型エミッタ層2Bよりも高い不純物濃度を有する p^{++} 型コンタクト層4Bが配置される。この p^{++} 型コンタクト層4Bの深さは、半導体基板1の他面側の表面から $0.2\mu m$ 以下に設定されているため、この p^{++} 型コンタクト層4Bが、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、 p^{++} 型コンタクト層4Bによって、キャリア注入効率が増大することはない。

【0171】また、 p^{++} 型コンタクト層4Bは、十分に高い不純物濃度を有しているため、電極コンタクト部のコンタクト抵抗も低減される。

【0172】このように、本発明に関わるIGBTの電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時

に達成することができる。

【0173】なお、上述の実施例では、半導体基板1がn型であり、エミッタ層2B及びコンタクト層4Bがp型であったが、これに代えて、半導体基板1をp型にし、エミッタ層2B及びコンタクト層4Bをn型にしても、同様の効果が得られる。

【0174】次に、図10に示すIGBTの製造方法について説明する。

【0175】まず、例えば、 $1.5 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物濃度を有するn型半導体基板（例えば、シリコン基板）1を用意する。そして、半導体基板1の一面側に、p型ベース層7、n+型エミッタ層8、絶縁層9、ゲート電極10及びエミッタ電極11をそれぞれ形成する。

【0176】この後、イオン注入法により、半導体基板1の他面側に、n型不純物、例えば、リン(P)を注入し、かつ、熱拡散処理を行うと、半導体基板1の他面側の表面領域に、n+型ベース層12が形成される。

【0177】また、イオン注入法により、半導体基板1の他面側に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧60keV程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約1050℃の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0.8μmの複数のp+型エミッタ層2Bが形成される。

【0178】次に、イオン注入法により、半導体基板1の他面側のp+型エミッタ層2B内に、p型不純物、例えば、ボロン(B)を注入する。このときのイオン注入条件は、例えば、加速電圧10keV程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約800℃の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0.16μmのp++型コンタクト層4Bが形成される。

【0179】p++型コンタクト層4Bは、その深さが非常に浅く、かつ、その不純物濃度が非常に高く設定されている。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低いp++型コンタクト層4Bを提供できる。

【0180】但し、例えば、p型不純物を、ボロン(B)から弗化ボロン(BF₂)に代えて(軽い元素から重い元素に変更する。)、この弗化ボロンを半導体基板1内のp+型エミッタ層2Bに注入し、p++型コンタクト層4Bを形成してもよい。

【0181】次に、例えば、弗化アンチモンを用いて、半導体基板1の他面側の表面部、即ち、p++型コンタクト層4Bの表面部に形成された熱酸化膜を除去する。この後、スパッタ法やCVD法などの方法を用いて、複

数のp++型コンタクト層4B及びn+型ベース層12にコンタクトするコレクタ電極3を形成する。

【0182】この後、例えば、温度約450℃の窒素雰囲気中において、時間約30分の熱処理を行い、コレクタ電極3を構成する原子（例えば、アルミニウム）を、半導体基板1内、即ち、p++型コンタクト層4B内及びn+型ベース層12内に拡散させ、コレクタ電極3とp++型コンタクト層4Bのコンタクト抵抗並びにコレクタ電極3とn+型ベース層12のコンタクト抵抗を低減させる。

【0183】以上の製造方法により、本発明に関わるIGBTが完成する。

【0184】[F] 第6実施例

本例は、図9に示すような、いわゆるコレクタショート型(アノードショート型)IGBTに、上述の第2実施の形態に関わる電極コンタクト構造を適用したものである。

【0185】図11は、本発明の第6実施例としてのIGBTを示している。n型半導体基板(n型ベース層)1の一面側には、p型ベース層7が形成され、p型ベース層7内には、n+型エミッタ層8が形成される。半導体基板1の一面側の表面領域において、n型ベース層1とn+型エミッタ層8の間のp型ベース層(チャネル部)7上には、絶縁層9を介してゲート電極10が形成される。また、p型ベース層7上及びn+型エミッタ層8上には、これらp型ベース層7及びn+型エミッタ層8にコンタクトするエミッタ電極11が形成される。

【0186】半導体基板1の他面側には、複数のp+型エミッタ層2B及びn+型ベース層12が形成される。p+型エミッタ層2Bは、p型不純物、例えば、ボロン(B)を含んでいる。p+型エミッタ層2Bの深さは、半導体基板1の他面側の表面から1.0μm以下、例えば、0.8μm程度に設定される。また、p+型エミッタ層2Bの濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範囲に設定される。

【0187】p+型エミッタ層2B内には、p++型コンタクト層4Bが形成され、p++型コンタクト層4B上及びn+型ベース層12上には、コレクタ電極3が形成される。p++型コンタクト層4Bは、p+型エミッタ層2Bとコレクタ電極3の間に配置され、p+型エミッタ層2Bよりも高い不純物濃度を有する。

【0188】例えば、p++型コンタクト層4Bは、ボロン(B)、弗化ボロン(BF₂)などのp型不純物を含み、その濃度プロファイルのピーク値は、 10^{19} cm^{-3} 以上、その表面濃度は、 10^{18} cm^{-3} 以上に設定される。また、p++型コンタクト層4Bの深さは、半導体基板1の他面側の表面から0.2μm以下、例えば、0.16μm程度に設定される。また、コレクタ電極3は、例えば、アルミニウムから構成される。

【0189】さらに、本例では、コレクタ電極3とp

+ + 型コンタクト層4 Aの間並びにコレクタ電極3とn + 型ベース層1 2の間にシリサイド層5が形成される。シリサイド層5は、例えば、熱処理により、コレクタ電極3を構成する原子（例えば、アルミニウム）が半導体基板1を構成する原子（シリコン）と反応することにより形成される。

【0190】シリサイド層5の半導体基板1の他面側の表面からの深さは、p + + 型コンタクト層4 Bの半導体基板1の他面側の表面からの深さと同じか、又はそれよりも浅くなるように設定される。本例では、p + + 型コンタクト層4 Bの深さが半導体基板1の他面側の表面から0. 2 μm 以下に設定されるため、シリサイド層5の深さも、半導体基板1の他面側の表面から0. 2 μm 以下に設定される。

【0191】ところで、コンタクト抵抗を最大限に低減するためには、シリサイド層5の底面の位置が、p + + 型コンタクト層4 Bの濃度プロファイルのピーク位置に一致するように設定する。つまり、本発明では、p + + 型コンタクト層4 Bの最も低抵抗な部分（濃度プロファイルのピーク位置）とコレクタ電極3をシリサイド層5により電気的に接続し、コンタクト抵抗の低減を図る。

【0192】このような電極コンタクト構造によれば、まず、p + 型エミッタ層2 Bは、低い不純物濃度を有し、かつ、その深さは、半導体基板1の他面側の表面から1. 0 μm 以下と十分に浅く設定されている。このため、IGBTのターンオフ時におけるキャリア（正孔）の注入効率を低減することができ、ターンオフを高速化することができる。

【0193】また、p + 型エミッタ層2 Bとコレクタ電極3の間には、p + 型エミッタ層2 Bよりも高い不純物濃度を有するp + + 型コンタクト層4 Bが配置される。このp + + 型コンタクト層4 Bの深さは、半導体基板1の他面側の表面から0. 2 μm 以下に設定されているため、このp + + 型コンタクト層4 Bが、ターンオフ時におけるキャリア注入効率に影響を与えることはない。つまり、p + + 型コンタクト層4 Bによって、キャリア注入効率が增大することはない。

【0194】また、p + + 型コンタクト層4 Bは、十分に高い不純物濃度を有し、かつ、コレクタ電極3とp + + 型コンタクト層4 Bの間並びにコレクタ電極3とn + 型ベース層1 2の間には、シリサイド層5が形成される。また、シリサイド層5の底面の位置は、p + + 型コンタクト層4 Bの濃度プロファイルのピーク位置に一致する。このため、電極コンタクト部のコンタクト抵抗も低減される。

【0195】このように、本発明に関わるIGBTの電極コンタクト部によれば、コンタクト抵抗を十分に下げることができると共に、キャリア注入効率の低減も同時に達成することができる。

【0196】なお、上述の実施例では、半導体基板1が

n型であり、エミッタ層2 B及びコンタクト層4 Bがp型であったが、これに代えて、半導体基板1をp型にし、エミッタ層2 B及びコンタクト層4 Bをn型にしても、同様の効果が得られる。

【0197】次に、図11に示すIGBTの製造方法について説明する。

【0198】まず、例えば、 $1.5 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物濃度を有するn型半導体基板（例えば、シリコン基板）1を用意する。そして、半導体基板1の一面側に、p型ベース層7、n + 型エミッタ層8、絶縁層9、ゲート電極10及びエミッタ電極11をそれぞれ形成する。

【0199】この後、イオン注入法により、半導体基板1の他面側に、n型不純物、例えば、リン（P）を注入し、かつ、熱拡散処理を行うことにより、n + 型ベース層12を形成する。

【0200】また、イオン注入法により、半導体基板1の他面側に、p型不純物、例えば、ボロン（B）を注入する。このときのイオン注入条件は、例えば、加速電圧60 keV程度、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約1050℃の窒素雰囲気中において時間約20分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0. 8 μm の複数のp + 型エミッタ層2 Bが形成される。

【0201】次に、イオン注入法により、半導体基板1の他面側のp + 型エミッタ層2 B内に、p型不純物、例えば、ボロン（B）を注入する。このときのイオン注入条件は、例えば、加速電圧10 keV程度、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定される。この後、例えば、温度約800℃の窒素雰囲気中において時間約30分の熱拡散処理を行うと、半導体基板1の他面側の表面からの深さが約0. 16 μm のp + + 型コンタクト層4 Bが形成される。

【0202】p + + 型コンタクト層4 Bは、その深さが非常に浅く、かつ、その不純物濃度が非常に高く設定されている。従って、上述のように、加速電圧を低く設定し、ドーズ量を高く設定し、かつ、熱拡散処理の時間を短くすれば、浅くかつ不純物濃度が低いp + + 型コンタクト層4 Bを提供できる。

【0203】但し、例えば、p型不純物を、ボロン（B）から弗化ボロン（ BF_2 ）に代えて（軽い元素から重い元素に変更する。）、この弗化ボロンを半導体基板1内のp + 型エミッタ層2 Bに注入し、p + + 型コンタクト層4 Bを形成してもよい。

【0204】次に、例えば、弗化アンチモンを用いて、半導体基板1の他面側の表面部、即ち、p + + 型コンタクト層4 Bの表面部に形成された熱酸化膜を除去する。この後、スパッタ法やCVD法などの方法を用いて、p + + 型コンタクト層4上及びn + 型ベース層12上に約0. 05 μm の電極3を形成する。

【0205】この後、例えば、温度約450℃の窒素雰囲気中において、時間約30分の熱処理を行い、コレクタ電極3を構成する原子（例えば、アルミニウム）を、半導体基板1内、即ち、 p^{++} 型コンタクト層4内及び n^{+} 型ベース層12内に拡散させ、シリサイド層5を形成する。ここで、シリサイド層5の厚さ（半導体基板1の他面側の表面からの深さ）は、半導体基板1の他面側の表面から p^{++} 型コンタクト層4Bの濃度プロファイルのピーク位置までの厚さに実質的に等しくする。

【0206】例えば、 p^{++} 型コンタクト層4Bの濃度プロファイルのピークが半導体基板1の表面から約0.04 μm の位置にある場合には、シリサイド層5の厚さも約0.04 μm にする。

【0207】これにより、電極コンタクト部におけるコレクタ電極3と p^{+} 型エミッタ層2Bのコンタクト抵抗並びにコレクタ電極3と n^{+} 型ベース層12のコンタクト抵抗を低減させる。

【0208】なお、シリサイド層5を形成した後に、さらに、コレクタ電極3を積み重ねてもよい。

【0209】以上の製造方法により、本発明に関わるIGBTが完成する。

【0210】

【発明の効果】以上、説明したように、本発明によれば、キャリア注入効率は、 p 型不純物層（ p^{+} 型エミッタ層）の濃度プロファイルのピーク値は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の範囲であり、かつ、その深さは、半導体基板1の表面から1.0 μm 以下と十分に浅く設定されている。このため、例えば、IGBTのターンオフ時におけるキャリア（正孔）の注入効率を低減することができ、IGBTのターンオフを高速化することができる。

【0211】また、 p 型不純物層（ p^{+} 型エミッタ層）と電極の間には、 p 型不純物層よりも高い不純物濃度を有する p^{+} 型コンタクト層が配置される。この p^{+} 型コンタクト層の深さは、半導体基板の表面から0.2 μm 以下に設定されているため、この p^{+} 型コンタクト層が、IGBTのターンオフ時におけるキャリア注入効率に影響を与えることはない。また、 p^{+} 型コンタクト層の濃度プロファイルのピーク値は、 10^{19} cm^{-3} 程度に設定されているため、電極コンタクト部のコンタクト抵抗も低減される。

【0212】さらに、 p^{+} 型コンタクト層は、十分に高い不純物濃度を有し、かつ、電極と p^{+} 型コンタクト層の間には、シリサイド層が形成される。また、シリサイド層の底面の位置は、 p^{+} 型コンタクト層の濃度プロファイルのピーク位置に実質的に一致するように設定される。このため、電極コンタクト部のコンタクト抵抗がさらに低減される。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わる半導体装置を示す図。

【図2】本発明の第2実施の形態に関わる半導体装置を示す図。

【図3】本発明の前提となるIGBTを示す図。

【図4】本発明の第1実施例であるIGBTを示す図。

【図5】本発明の第2実施例であるIGBTを示す図。

【図6】本発明の前提となるIGBTを示す図。

【図7】本発明の第3実施例であるIGBTを示す図。

【図8】本発明の第4実施例であるIGBTを示す図。

【図9】本発明の前提となるIGBTを示す図。

【図10】本発明の第5実施例であるIGBTを示す図。

【図11】本発明の第6実施例であるIGBTを示す図。

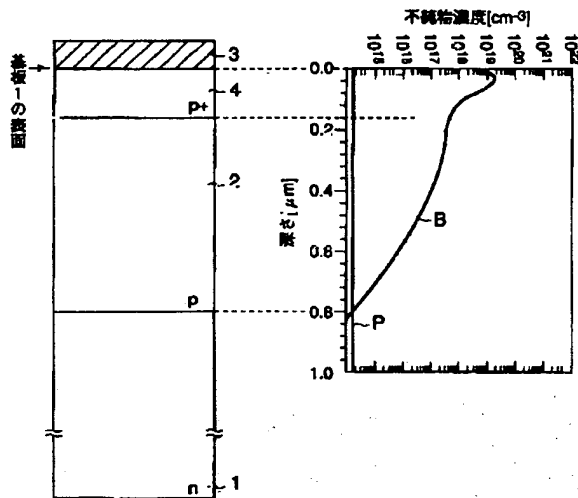
【図12】本発明のIGBTの特性を示す図。

【図13】本発明の前提となるIGBTを示す図。

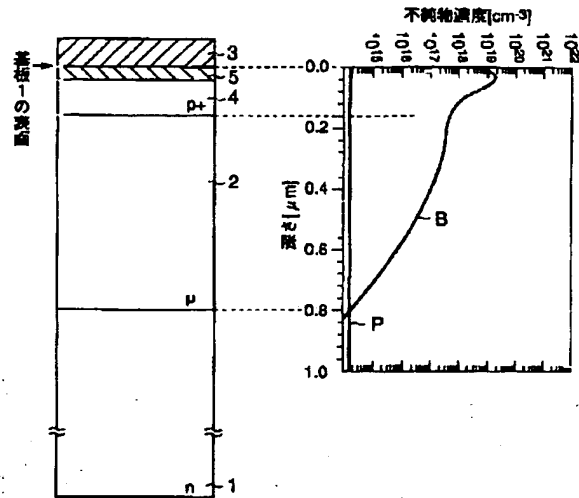
【符号の説明】

1	: n 型半導体基板（ n 型ベース層）、
2	: p 型不純物層（ p 型エミッタ層）、
3	: 電極（コレクタ電極）、
4	: p 型コンタクト層、
5	: シリサイド層、
6, 9	: 絶縁層、
7	: p 型ベース層、
8	: n 型エミッタ層、
10	: ゲート電極、
11	: エミッタ電極
12	: n 型コンタクト層（ n 型ベース層）。

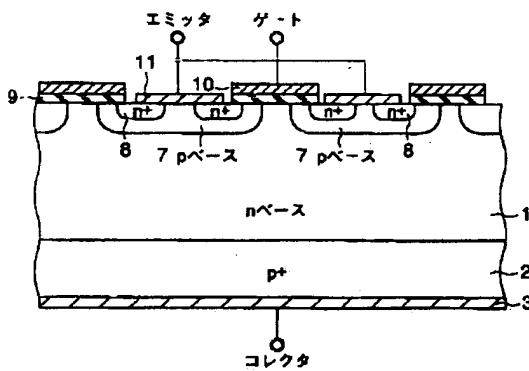
【図1】



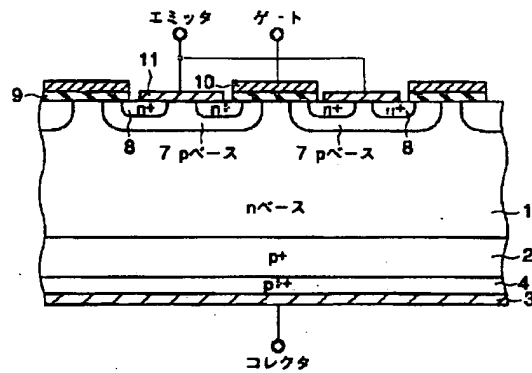
【図2】



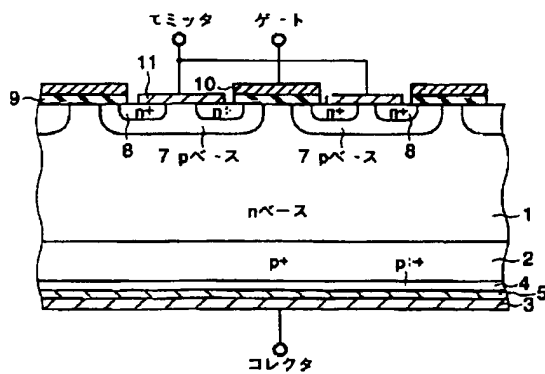
【図3】



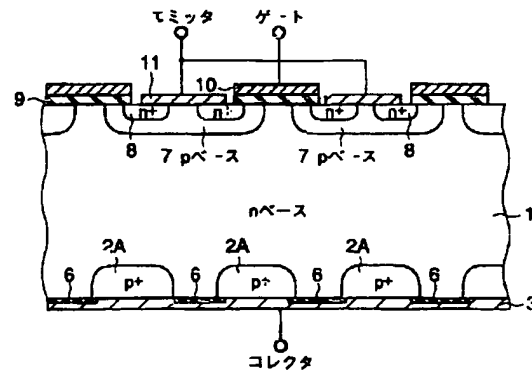
【図4】



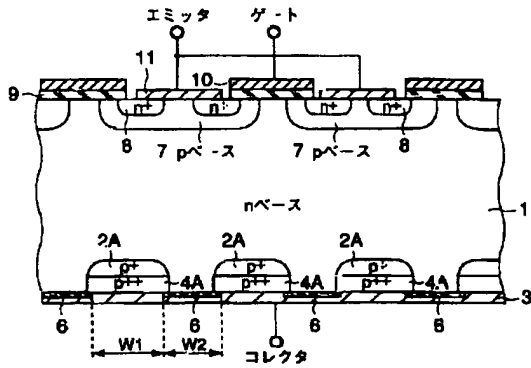
【図5】



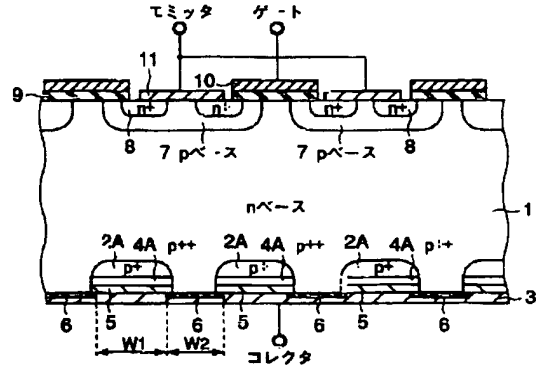
【図6】



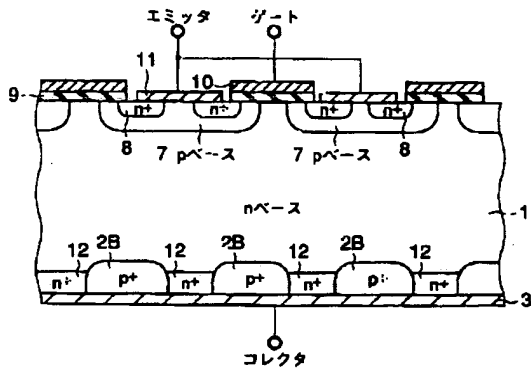
【図7】



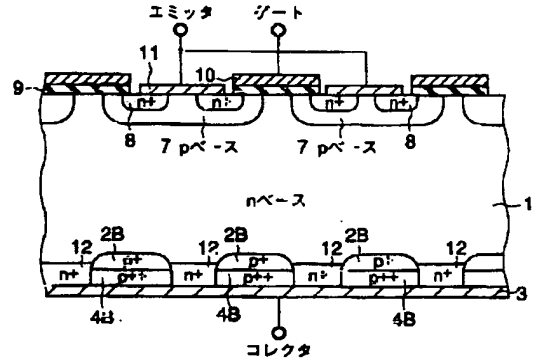
【図8】



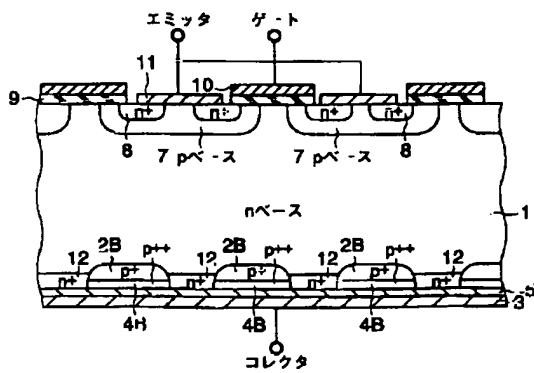
【図9】



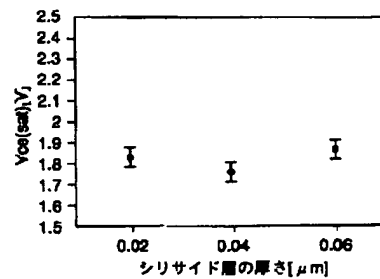
【図10】



【図11】



【図12】



【図13】

